

MOS GATE POWER DEVICE HAVING EXTENDED TRENCH AND DOPED REGION, AND PROCESS OF FORMING THE SAME

Patent number: JP2000353805
Publication date: 2000-12-19
Inventor: KOCON CHRISTOPHER
Applicant: INTERSIL CORP.
Classification:
- international: H01L29/78; H01L29/749
- european:
Application number: JP20000144446 20000517
Priority number(s):

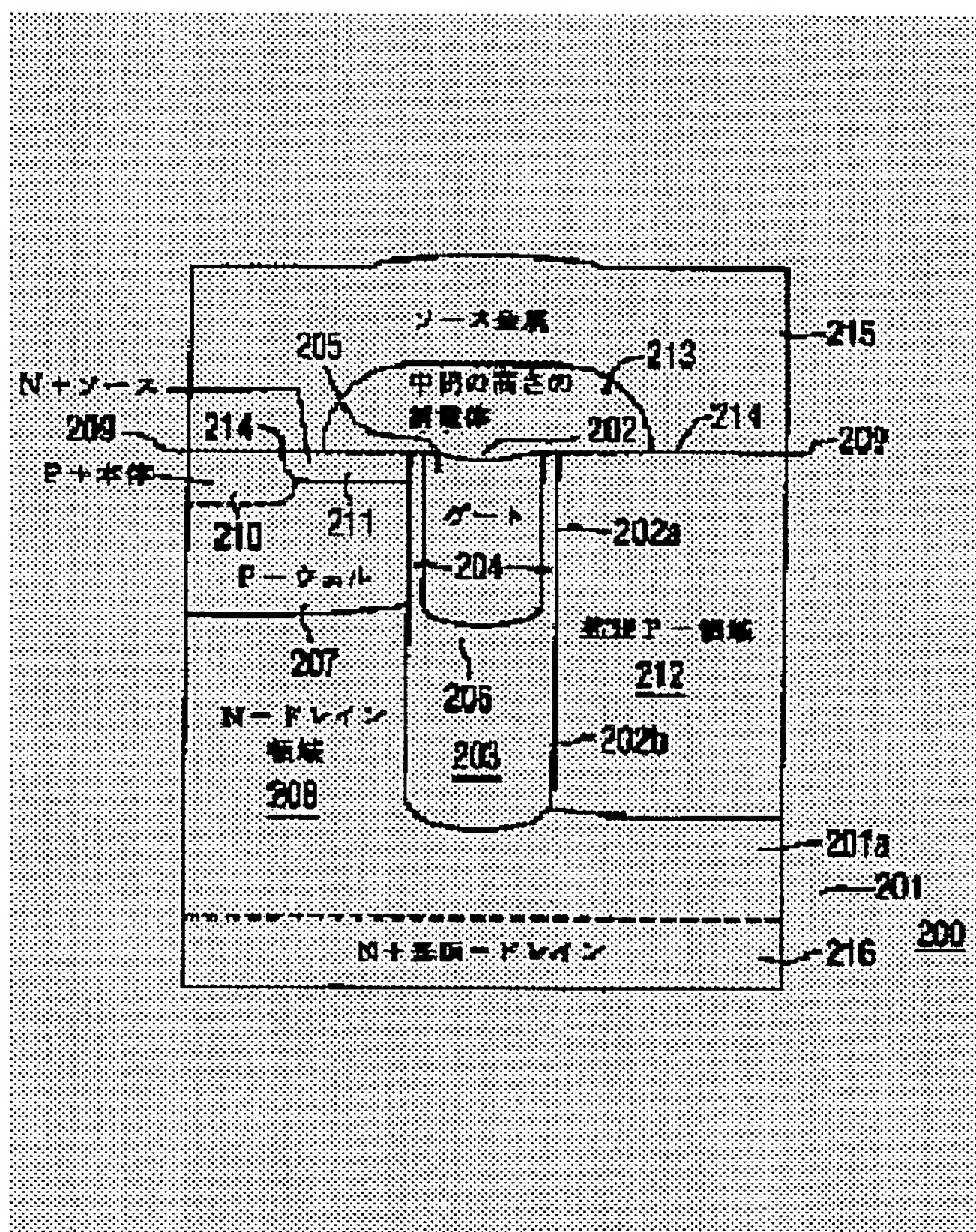
Also published as:

EP1054451 (A2)
US6198127 (B1)
EP1054451 (A3)

Abstract of JP2000353805

PROBLEM TO BE SOLVED: To obtain a MOS gate power device, which is capable of lessening resistivity in a drain region without decreasing its necessary voltage blocking capacity.

SOLUTION: A deep trench 202 is cut in a board 201, a dielectric material is left on a base 203 and a sidewalls 204 of the trench 202, and the upper part of the trench 202 is filled with a conductive material 205 for the formation of a gate region 206. A P-type diffused region 212 is formed on one side of the trench 202, and a P-type well region 207 is arranged on the other side of the trench 202 which overlaps with an N-type drain region 208. The drain region 208 is isolated from the P-type diffused region 212 by the thick dielectric layer 203 at the base of the trench 202. An N-type heavily-doped source region 211 and a P-type heavily-doped main body region 210 are arranged in the upper part of the well region 207. The gate 205 and the source 211 are covered with a dielectric layer 213 of intermediate height, and the source 211, the main body region 210, and the P-type diffused region 212 are connected together with a source metal 215.



Data supplied from the *esp@cenet* database - Worldwide

(43)公開日 平成12年12月19日(2000.12.19)

テーマコード(参考)

653A

60.1A

審査請求 未請求 請求項の数10 O.L (全 6 頁)

(71)出願人 599141504

(22) 出願日 平成12年5月17日(2000.5.17)

(31)優先権主張番号 3 1 4 3 2 3

(32)優先日 平成11年5月19日(1999.5.19)

(33)優先權主張国 米国 (US)

インターシル コーポレーション
 INTERSIL CORPORATION
 アメリカ合衆国 フロリダ州 32905 パ
 ーム・ベイ エヌ・イー パーム・ベイ・
 ロード 2401

(72)発明者 クリストファー ココン

アメリカ合衆国 ペンシルヴェニア州
18705 ブレインズ グレース・ドライヴ
16

(74) 代理人 100070150

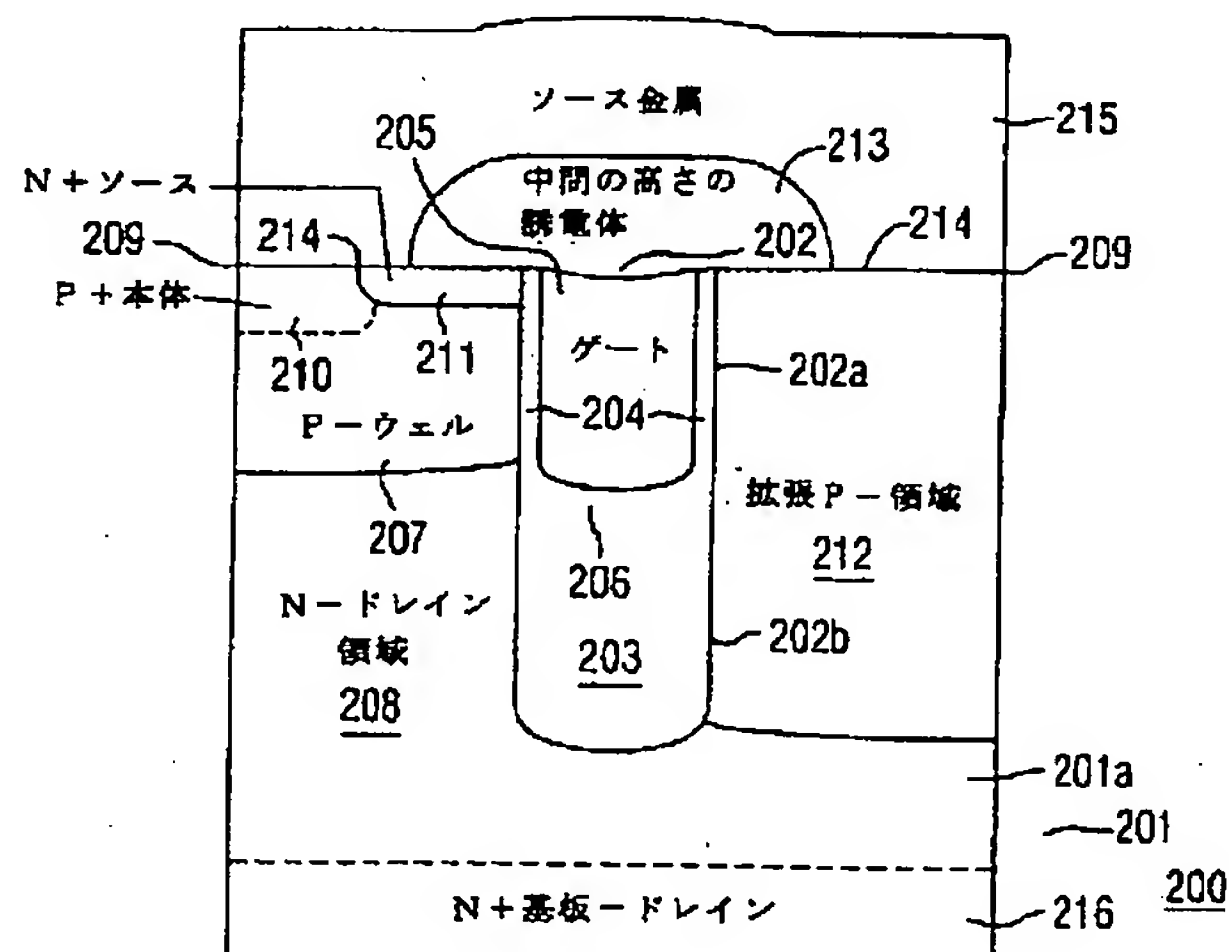
弁理士 伊東 忠彦 (外1名)

(54) 【発明の名称】 拡張されたトレンチ及びドーピング領域を有するMOSゲートパワー素子及び、それを形成するプロセス

(57) 【要約】 (修正有)

【課題】 必要な電圧阻止能力を減少すること無しにドレイン領域の抵抗率を減少させることができるMOSゲートパワー素子を提供する。

【解決手段】 基板201内の深いトレンチ202は、底部203及び側面204に誘電性材料を残し、上方部分を、導電材料205で満たしゲート領域206を形成する。一方にP拡散領域212を、反対側にN型のドレイン領域208に重ねてP型のウェル領域207を配置する。ドレイン領域208は、トレンチ底部内の厚い誘電体層203により、拡張P領域212から隔離されている。N型に多量にドーパされたソース領域211と、P型に多量にドーパされた本体領域210は、ウェル領域207内上方に配置する。中間の高さの誘電体層213でゲート205及びソース211を覆い、更にソース金属215でソース211、本体領域210及びP拡散領域212を接続する。



【特許請求の範囲】

【請求項1】 基板は第1の導電型のドーパされた単結晶半導体材料を含み、トレンチは上方層に伸び、前記トレンチは誘電性材料で満たされた底部を有し、前記材料は前記トレンチの前記底部に厚い誘電体層を形成し、前記トレンチは更に、誘電性材料で内側が被われ且つ実質的に導電材料で満たされた上方部分を有し、前記トレンチの前記満たされた上方部分はゲート領域を形成する、上方層を有する基板を有するトレンチMOSゲート素子であって、

第2の反対の導電型のドーパされ拡張された領域は、上方から前記トレンチの一方の側の前記上方層へ延び、前記第2の導電型のドーパされたウェル領域は、前記トレンチの反対側の前記上方層内の前記第1の導電型のドレイン領域に重なり、前記ドレイン領域は、前記トレンチの前記底部内の前記厚い誘電体層により前記拡張された領域と実質的に隔離されており、前記第1の導電型の多量にドーパされたソース領域及び、前記第2の導電型の多量にドーパされた本体領域が、前記上方で前記ウェル領域内に配置され、前記上方の中間の高さの誘電体層は、前記ゲート及びソース領域と重なり、且つ、金属層が前記上方と前記中間の高さの誘電体層に重なり、前記金属層は、前記ソース及び本体領域及び、前記拡張された領域と電氣的に接触することを特徴とするトレンチMOSゲート素子。

【請求項2】 前記第1の導電型のドーパされたドレイン領域は、前記ウェル領域と前記拡張された領域の真下に伸び、前記第1の導電型の多量にドーパされたドレインは、前記基板の下の方に配置され、且つ、前記ドーパされたドレイン領域の真下に伸びることを特徴とする請求項1記載の素子。

【請求項3】 前記ドーパされ拡張された領域は、前記トレンチの底部の深さと実質的に等しい深さまで、前記上方層に伸び、前記拡張されたトレンチの前記下の部分は、前記上方部分よりも狭く、前記上方層は前記基板内に含まれていることを特徴とする請求項2記載の素子。

【請求項4】 前記上方層はエピタキシャル層であり、前記基板は単結晶シリコンを含み、前記誘電性材料はシリコン二酸化物を含み、且つ、前記トレンチ内の前記導電材料はドーパされたポリシリコンを含むことを特徴とする請求項3記載の素子。

【請求項5】 前記第1の導電型はNであり、且つ、前記第2の導電型はPであることを特徴とする請求項1記載の素子。

【請求項6】 前記素子は複数の拡張されたトレンチを有し、前記複数の拡張されたトレンチは、オープンセルの縞状トポロジーを有し、或は、前記複数の拡張されたトレンチは、クローズドセルのセル状トポロジーを有することを特徴とする請求項1記載の素子。

【請求項7】 第1の導電型のドーパされた単結晶半導

体材料を有する基板の上方層内に拡張されたトレンチを形成し、前記拡張されたトレンチを誘電性材料で実質的に満たす、トレンチMOSゲート素子を形成するプロセスであって、

第2の反対の導電型のドーパントを前記拡張されたトレンチの一方の側の前記上方層内へ選択的に打ちこみ及び拡散し、それによって上方から前記上方層へ伸びる拡張された領域を形成し、前記トレンチの上方部分から前記誘電性材料の選択された部分を、層除去し、前記トレンチの底部に厚い誘電体層を残し、前記トレンチの上方部分の誘電性材料を含む側壁を形成し、且つ、前記上方部分を導電材料で実質的に満たし、それによって前記トレンチの前記上方部分にゲート領域を形成し、前記トレンチに対して前記拡張された領域と反対の側の前記上方層内に、前記第2の導電型のドーパされたウェル領域を形成し、前記上方で、前記ウェル領域内に、前記第1の導電型の多量にドーパされたソース領域と前記第2の導電型の多量にドーパされた本体領域を形成し、前記ゲート及びソース領域に重なる前記上方に、中間の高さの誘電体層を形成し、前記上方と前記中間の高さの誘電体層に重なる金属層を形成し、前記金属層は、前記ソース及び本体領域及び、前記拡張領域を電氣的に接触し、前記ウェル領域及び前記拡張された領域の真下に伸びる前記第1の導電型のドーパされたドレイン領域を形成することを特徴とするトレンチMOSゲート素子を形成するプロセス。

【請求項8】 前記上方層は前記基板内に含まれ、前記上方層はエピタキシャル層であり、前記基板は単結晶シリコンを含み、前記誘電性材料はシリコン二酸化物を含み、且つ、前記トレンチ内の前記導電材料はドーパされたポリシリコンを含むことを特徴とする請求項7記載のプロセス。

【請求項9】 前記第1の導電型はNであり、且つ、前記第2の導電型はPであり、且つ、前記基板内に複数の拡張されたトレンチを形成することを特徴とする請求項7或は8記載のプロセス。

【請求項10】 前記複数の拡張されたトレンチは、オープンセルの縞状トポロジーを有し、或は、前記複数の拡張されたトレンチは、クローズドセルのセル状トポロジーを有することを特徴とする請求項9記載のプロセス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体素子に関し、特に、拡張されたトレンチによりドレイン領域から分離された拡張されドーパされた領域を有するトレンチMOSゲートパワー素子に関する。

【0002】

【従来の技術】 トレンチゲート構造を有するMOSトランジスタは、大電流、低電圧スイッチングアプリケーション

ョンに対するプレーナトランジスタで、重要な優位点を有する。DMOSトレンチゲートは、ソースからドレインへ伸び、且つ、熱的に成長したシリコン二酸化物の層により内側が被われた側壁と底部を有するトレンチを含む。内側が被われたトレンチは、ドーパされたポリシリコンコンを有する。トレンチゲートの構造は、電流の流れを締めつけず、そして、それゆえ、特定のオン抵抗の値は低くなる。更に、トレンチゲートは、トレンチの垂直側壁に沿ってソースの底部からトランジスタ本体を渡って下のドレインへ伸びるMOSチャネルのセルピッチを減少することが可能である。チャネル密度は増加し、チャネルのオン抵抗への寄与は減少する。DMOSトランジスタの構造と性能は、BuluceaとRosseinによる、1991年、固体電子、34巻、No. 5、493頁から507頁の”大電流(100A範囲)スイッチングに関するトレンチDMOSトランジスタ技術”で述べられており、参照によりここに組み込まれる。DMOS素子の有用性に加えて、トレンチゲートは、絶縁ゲートバイポーラトランジスタ(IGBT)、MOS制御サイリスタ(MCT)及び、他のMOSゲート素子でも、有利に採用されている。

【0003】図1は、N+基板101の上方層101a上に形成された従来技術のトレンチゲートN型MOSFET素子の断面図の概略を示す。素子100は、側壁103と底部104がシリコン二酸化物のようなゲート誘電体で内側が被われたトレンチを有する。トレンチ102は、ドーパされたポリシリコンコンのような導電性材料105で満たされており、ゲート領域106の電極として働く。

【0004】基板101の上方層101aは、N-ドレイン領域108に重なるP-ウェル領域107を更に有する。多量にドーパされたP+本体領域110と多量にドーパされたN+ソース領域111が、上方層101aの上方面109で、P-ウェル領域107内に配置されている。中間の高さの誘電体層112は、ゲート領域106とソース領域111の上に形成されている。接触開口部113により、金属層114は、本体領域110とソース領域111と接触する。N+基板101の裏側115は、ドレインとして働く。

【0005】

【発明が解決しようとする課題】図1は、1つのMOSFETのみを示すが、産業で現在使用されている素子は、種々のセル状の又は、縞状のレイアウトに配置された、それらの配列からなる。トレンチゲート素子の密度を増加できる最近の半導体製造の改良の結果、導通モード時の素子の主な損失は、下の領域、即ち、増加したドレインの抵抗率、で起こる。ドレインのドーピングのレベルは、典型的には、必要な電圧阻止能力により決定されるので、抵抗率を減少させるためのドレインドーピングの増加は、自由に選択はできない。これゆえ、阻止能

力を減少すること無しに、半導体素子のドレイン領域の抵抗率を減少させる必要がある。本発明は、この要求に合致する。

【0006】

【課題を解決するための手段】本発明は、基板は第1の導電型のドーパされた単結晶半導体材料を含み、トレンチは上方層に伸び、前記トレンチは誘電性材料で満たされた底部を有し、前記材料は前記トレンチの前記底部に厚い誘電体層を形成し、前記トレンチは更に、誘電性材料で内側が被われ且つ実質的に導電材料で満たされた上方部分を有し、前記トレンチの前記満たされた上方部分はゲート領域を形成する、上方層を有する基板を有するトレンチMOSゲート素子であって、第2の反対の導電型のドーパされ拡張された領域は、上方面から前記トレンチの一方の側の前記上方層へ延び、前記第2の導電型のドーパされたウェル領域は、前記トレンチの反対側の前記上方層内の前記第1の導電型のドレイン領域に重なり、前記ドレイン領域は、前記トレンチの前記底部内の前記厚い誘電体層により前記拡張された領域と実質的に隔離されており、前記第1の導電型の多量にドーパされたソース領域及び、前記第2の導電型の多量にドーパされた本体領域が、前記上方面で前記ウェル領域内に配置され、前記上方面の中間の高さの誘電体層は、前記ゲート及びソース領域と重なり、且つ、金属層が前記上方面と前記中間の高さの誘電体層に重なり、前記金属層は、前記ソース及び本体領域及び、前記拡張された領域と電氣的に接触することを特徴とするトレンチMOSゲート素子を含む。

【0007】有利に、トレンチMOSゲート素子は、上方層を有し且つ第1の導電型のドーパされた単結晶半導体基板を有する。基板内の拡張されたトレンチは、トレンチの底部に厚い層を形成する誘電性材料で満たされた底部を有する。トレンチの上方部分は、誘電性材料で内側が被われ、且つ実質的に導電材料で満たされ、トレンチのその満たされた上方部分はゲート領域を形成する。

【0008】第2の反対の導電率形式の拡張されたドーパされた領域は、トレンチの一方の側の、上方面から基板の上方層へ伸びる。そして、第1の導電型のドレイン領域に重なる第2の導電型のドーパされたウェル領域は、トレンチの反対側の上方層内に配置される。ドレイン領域は、実質的にトレンチの底部内の厚い誘電体層により、拡張された領域から隔離されている。

【0009】第1の導電型の多量にドーパされたソース領域と、第2の導電型の多量にドーパされた本体領域は、上方層の上方面でウェル領域内に配置されている。中間の高さの誘電体層が、ゲート及びソース領域に重なる上方面に配置され、金属層が上方層の上方面に配置され、且つ、中間の高さの誘電体層がソースと本体領域及び、拡張領域と電氣的に接触している。

【0010】本発明は、第1の導電型のドーパされた単

結晶半導体材料を有する基板の上方層内に拡張されたトレンチを形成し、前記拡張されたトレンチを誘電性材料で実質的に満たす、トレンチMOSゲート素子を形成するプロセスであって、第2の反対の導電型のドーパントを前記拡張されたトレンチの一方の側の前記上方層内へ選択的に打ちこみ及び拡散し、それによって上方面から前記上方層へ伸びる拡張された領域を形成し、前記トレンチの上方部分から前記誘電性材料の選択された部分を、層除去し、前記トレンチの底部に厚い誘電体層を残し、前記トレンチの上方部分の誘電性材料を含む側壁を形成し、且つ、前記上方部分を導電材料で実質的に満たし、それによって前記トレンチの前記上方部分にゲート領域を形成し、前記トレンチに対して前記拡張された領域と反対の側の前記上方層内に、前記第2の導電型のドーパされたウェル領域を形成し、前記上方面で、前記ウェル領域内に、前記第1の導電型の多量にドーパされたソース領域と前記第2の導電型の多量にドーパされた本体領域を形成し、前記ゲート及びソース領域に重なる前記上方面に、中間の高さの誘電体層を形成し、前記上方面と前記中間の高さの誘電体層に重なる金属層を形成し、前記金属層は、前記ソース及び本体領域及び、前記拡張領域を電氣的に接触し、前記ウェル領域及び前記拡張された領域の真下に伸びる前記第1の導電型のドーパされたドレイン領域を形成することを特徴とするトレンチMOSゲート素子を形成するプロセスをも含む。

【0011】都合の良いことに、トレンチMOSゲート素子を構成するプロセスは、第1の導電型のドーパされた単結晶半導体基板の上方層に拡張されたトレンチを形成し、且つ、実質的にトレンチを誘電性材料で満たす。第2の反対の導電型のドーパントは、拡張されたトレンチの一方の側の上方層へ打ち込まれ且つ拡散され、それによって、上方面から上方層へ伸びるドーパされ拡張された領域を形成する。

【0012】誘電性材料の選択された部分は、トレンチの上方部分から取り除かれ、底部に厚い誘電性層が残る。誘電性材料を有する側壁が、トレンチの上方部分に形成され、実質的に導電材料で満たされ、それによって、トレンチの上方部分内にゲート領域を形成する。

【0013】第2の導電型のドーパされたウェル領域は、トレンチの、ドーパされ拡張された領域の反対の側の基板の上方層に形成される。第1の導電型の多量にドーパされたソース領域と。第2の導電型の多量にドーパされた本体領域が、上方層の上方面で、ウェル領域内に形成される。中間の高さの誘電体層が、ゲートとソース領域に重なる情報面に配置され、且つ、金属層が上方面と中間の高さの誘電体層の上に形成され、金属層はソースと本体領域及び、拡張された領域と電氣的に接触する。

【0014】

【発明の実施の形態】図2は、本発明のMOSゲートバ

ワー素子200の断面の概略を示す図である。基板201の上方層201aには、部分的に誘電性材料203で満たされた拡張されたトレンチ202が構成されている。拡張されたトレンチ202の上方部分202aは誘電体側壁204で内側が被われ且つ導電材料205で満たされている。誘電性材料203と側壁204はシリコン二酸化物であり、導電材料205はドーパされたポリシリコンである。誘電性材料203と側壁204により隔離された導電材料205は、拡張されたトレンチ202の上方部分内のゲート領域206に対して電極として働く。

【0015】拡張されたトレンチ202の一方の側には、Nドレイン領域208に重なるPウェル領域207がある。多量にドーパされたP+本体領域210と多量にドーパされたN+ソース領域211が、上方面209でPウェル領域207内に配置される。拡張されたトレンチ202の他の側には、拡張されたP領域212が存在する。拡張されたトレンチ202は、反対の導電型のドレイン領域208から、拡張された領域212を分離する。中間の高さの誘電体層213は、ゲート領域206、ソース領域211及び、拡張されたP領域212上に形成される。接触開口部214により、金属層215は、本体210及び、ソース領域211とそれぞれ接触する。基板201の裏面216はドレインとして働く。

【0016】阻止電圧が与えられた時に、拡張されたP領域212は、電荷を奪う様に働き、ドレインの構成に関してかなり高い導電率の材料が使用でき、そしてこれにより、素子のオン抵抗を減少し、効率を改善する。上方のトレンチ部分202aよりも有益に狭くできる下方のトレンチ部分202b内の誘電体層203は、ドーパントが、拡張されたP領域212からNドレイン領域208へ横方向に拡散するのを防ぐ。ゲート領域206と自己整合している拡張されたP領域212は、金属層215により、ソース領域211とショートされる。自己整合は、100V以下の阻止電圧能力の高密度素子を形成する構造200の使用を可能とする。誘電体層203は、ドーパント拡散の障壁としてのみ働くので、その品質は、素子200の性能にとっては重要でなく、領域208と212が誘電性材料203を通して電氣的にショートされた場合でさえもまだ機能するであろう。素子200が阻止状態にあるとき、領域208と212は反対の符号を持った電荷を与えるであろうが、しかし、両領域内に誘起されたフィールドは相殺される。これは、拡張されたP領域212と特にNドレイン領域208に対して、さらい高いドーピングの使用を可能とする。それにより、ドレイン領域208を通る電流は、非常に低い抵抗性の電圧降下を受け、素子の全体のオン抵抗を下げ、効率を改善する。

【0017】上述の導電型を、NをP、PをNという様

に逆にすることが可能である。上述の素子はパワーMOSFETであり、例えば、IGBT及びMCTのような、全てのMOSゲート素子に適用できる。

【0018】図3から6にMOSゲート素子200を製造するプロセスの概略を示す。図3に示すように、拡張されたトレンチ202は、基板201の上方層201aにエッチングされ、そして、実質的に、好ましくは酸化物の誘電性材料203aで満たされる。プレーナ化エッチングステップが、上方層201aの上面部209で酸化物203aを平面化するのに使用できる。トレンチ202の一方の側に、標準的なフォトリソグラフィーを使用して、Pドーパントが選択的に打ち込まれる。図4に示すように、高温拡散により、ドーパントが層201aに深く拡散され、それにより、拡張されたP領域212を形成する。

【0019】誘電体層203aは、上面209から選択された深さまで、ドライエッチング技術を使用して凹部が作られ、トレンチ202の底部に厚い酸化物層203が残る。図5に示すように、誘電性酸化物側壁204が、トレンチ202の上部に形成され、実質的に導電性ポリシリコン205で満たされる。Pウェル領域207が、トレンチの拡張されたP領域212の反対側の上方層201aに打ち込まれ、また、P+本体領域210とN+ソース領域211が、ウェル領域207に打ち込まれる。図6に示すように、中間の高さの誘電体層213と、金属層215と接触開口部214が配置され、素子200の製造は完了する。

【0020】トレンチMOSゲート素子は、上方層を有し且つ第1の導電型のドーパされた単結晶半導体基板を有する。基板内の上方層の拡張されたトレンチは、トレンチの底部に厚い層を形成する誘電性材料で満たされた底部を有する。トレンチの上方部分は、誘電性材料で内側が被われ、且つ実質的に導電材料で満たされ、トレンチのその満たされた上方部分はゲート領域を形成する。第2の反対の導電率形式の拡張されたドーパされた領域は、トレンチの一方の側の、上方面から基板の上方層へ伸びる。そして、第1の導電型のドレイン領域に重なる第2の導電型のドーパされたウェル領域は、トレンチの反対側の上方層内に配置される。ドレイン領域は、実質的にトレンチの底部内の厚い誘電体層により、拡張された領域から隔離されている。第1の導電型の多量にドーパされたソース領域と、第2の導電型の多量にドーパされた本体領域は、上方層の上方面でウェル領域内に配置されている。中間の高さの誘電体層が、ゲート及びソース領域に重なる上方面に配置され、金属層が上方面と重なり、且つ、中間の高さの誘電体層がソースと本体領域及び、拡張領域と電氣的に接触している。

【0021】

【発明の効果】本発明により、阻止能力を減少すること無しに、半導体素子のドレイン領域の抵抗率を減少させ

ることができるMOSゲートパワー素子及び、それを形成するプロセスを提供することができる。

【図面の簡単な説明】

【図1】従来技術のトレンチMOSゲート素子100の断面の概略を示す図である。

【図2】本発明のトレンチMOSゲート素子200の断面の概略を示す図である。

【図3】本発明の素子200を形成するプロセスの概略を示す図である。

【図4】本発明の素子200を形成するプロセスの概略を示す図である。

【図5】本発明の素子200を形成するプロセスの概略を示す図である。

【図6】本発明の素子200を形成するプロセスの概略を示す図である。

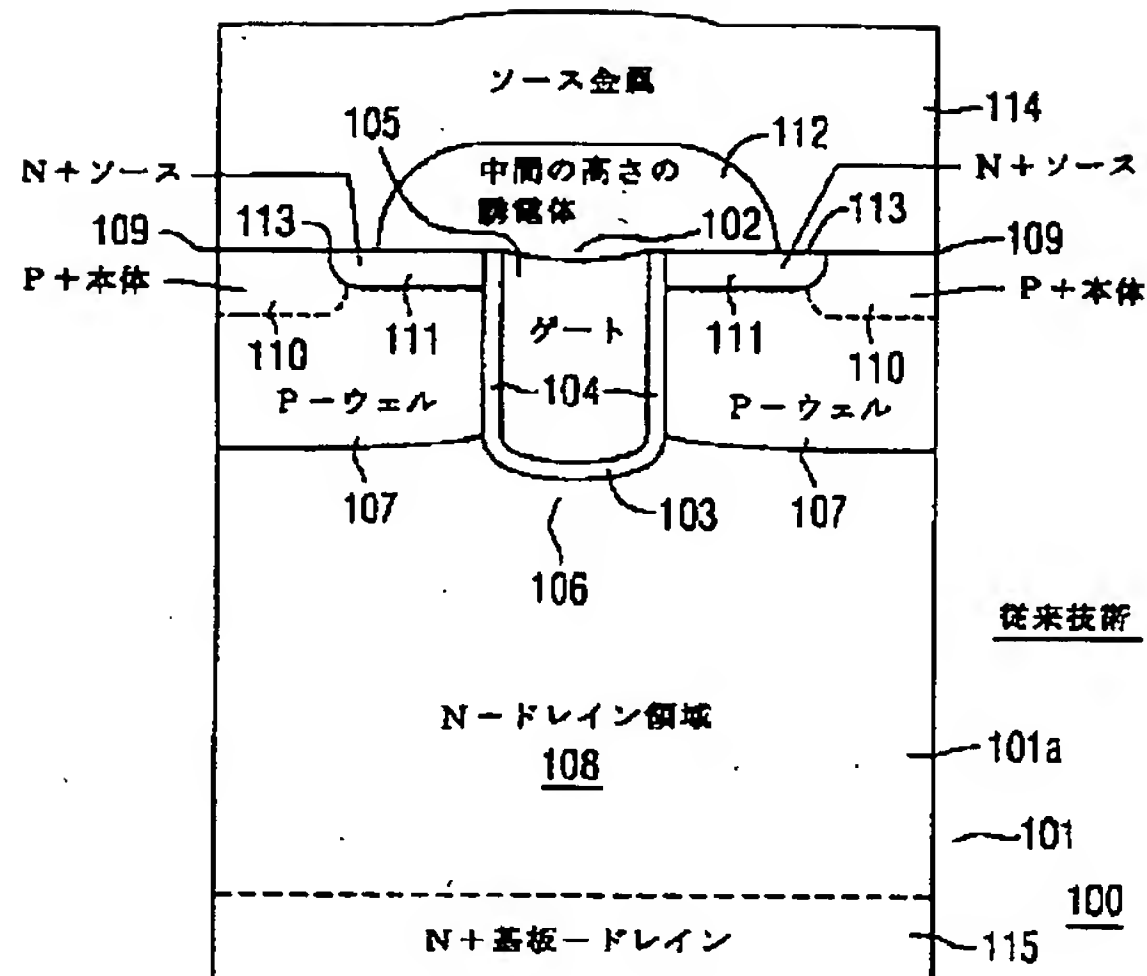
【符号の説明】

- 100 素子
- 101 N+基板
- 101a 上方層
- 102 トレンチ
- 103 側壁
- 104 底部
- 105 導電材料
- 106 ゲート領域
- 107 Pウェル領域
- 108 Nドレイン領域
- 109 上方面
- 110 P+本体領域
- 111 N+ソース領域
- 112 誘電体層
- 113 接触開口部
- 114 金属層
- 115 裏側
- 200 MOSゲートパワー素子
- 201 基板
- 201a 上方層
- 202 トレンチ
- 202a 上方部分
- 203 誘電性材料
- 204 誘電体側壁
- 205 導電材料
- 206 ゲート領域
- 207 Pウェル領域
- 208 Nドレイン領域
- 209 上方面
- 210 P+本体領域
- 211 N+ソース領域
- 212 拡張されたP領域
- 213 誘電体層
- 214 接触開口部

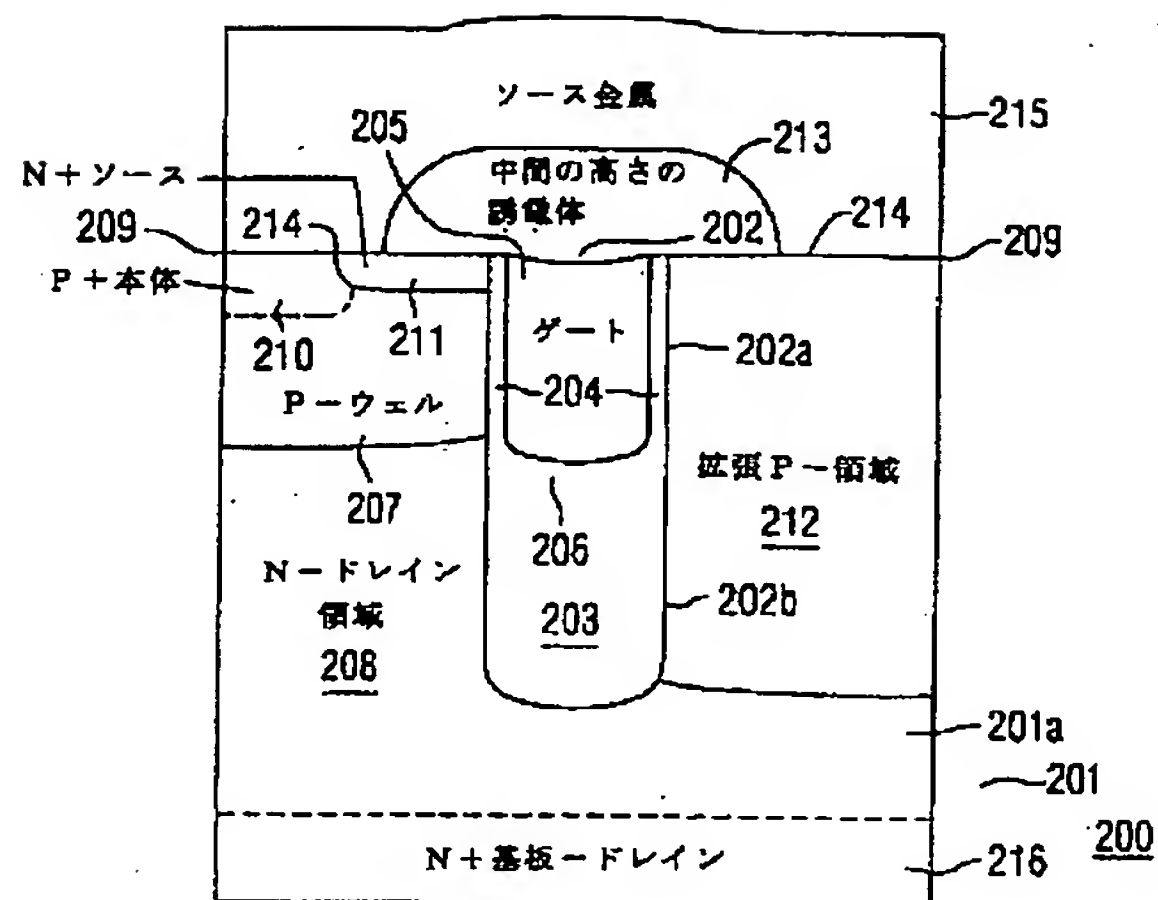
215 金属層

216 裏面

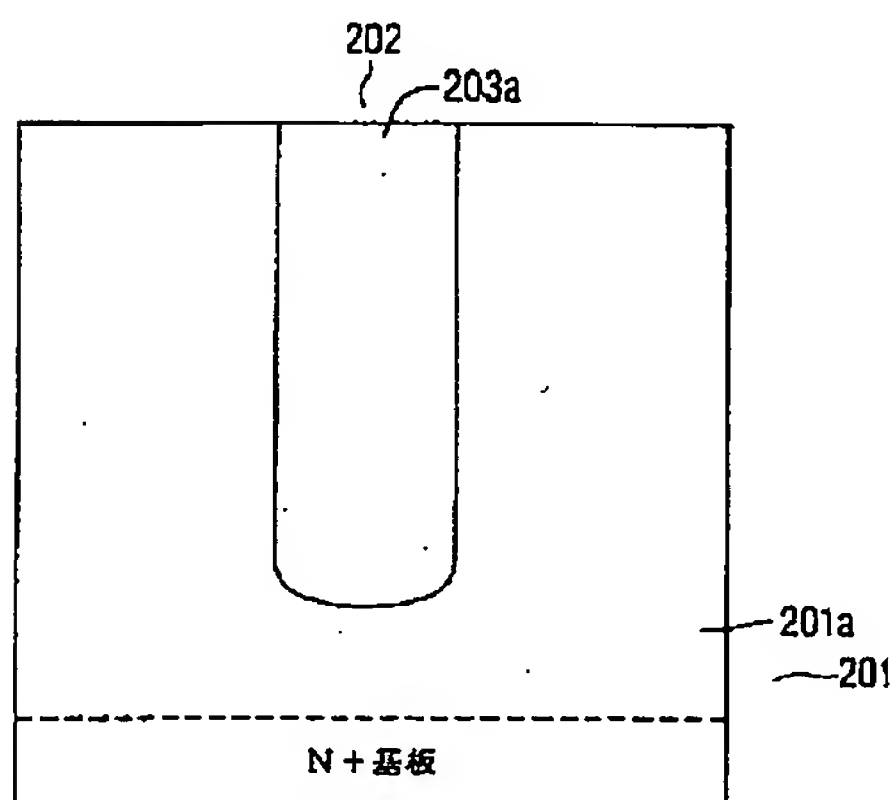
【図1】



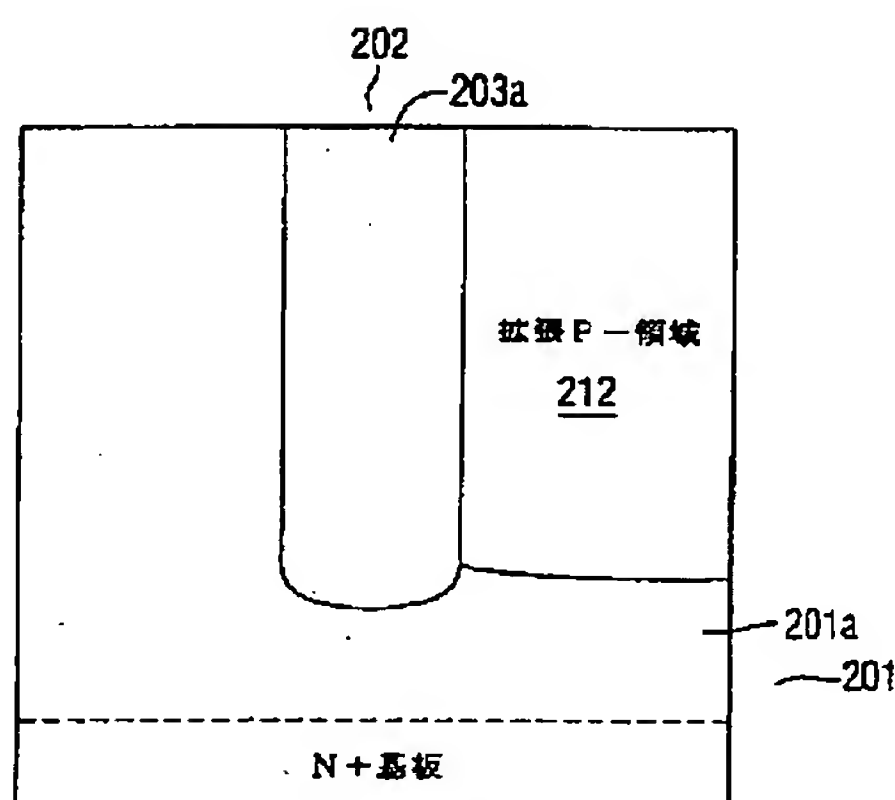
【図2】



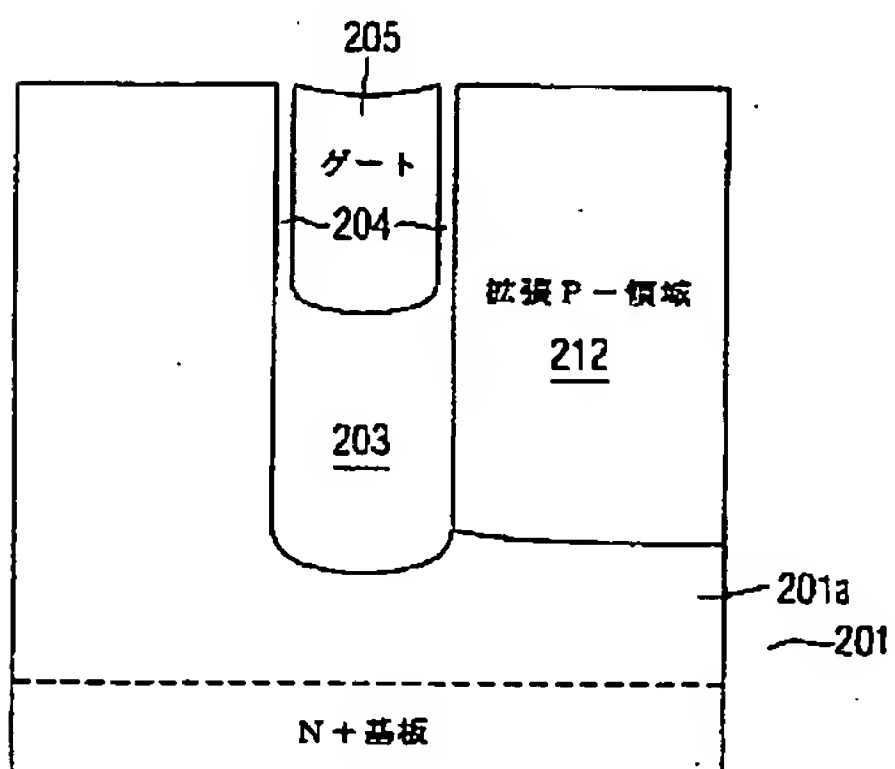
【図3】



【図4】



【図5】



【図6】

